

"Express Mail" mailing label number EV 327 134 185 US

Date of Deposit 7/28/03

Our File No. 9281-4614
Client Reference No. S US02148

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Takeo Suzuki et al.)
Serial No. To be Assigned)
Filing Date: Herewith)
For Mixer Which Assures Satisfactory)
Performance Even At Low Supply)
Voltage)
)

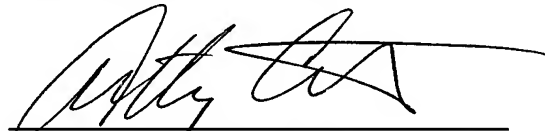
SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is a certified copy of priority document Japanese Patent Application No. 2002-230444, filed August 7, 2002 for the above-named U.S. application.

Respectfully submitted,



Anthony P. Curtis, Ph.D.
Registration No. 46,193
Attorney for Applicants

BRINKS HOFER GILSON & LIONE
P.O. BOX 10395
CHICAGO, ILLINOIS 60610
(312) 321-4200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 7日

出 願 番 号

Application Number:

特願2002-230444

[ST.10/C]:

[J P 2 0 0 2 - 2 3 0 4 4 4]

出 願 人

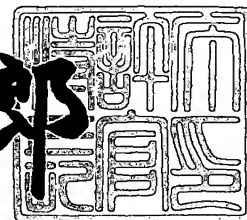
Applicant(s):

アルプス電気株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019603

【書類名】 特許願

【整理番号】 S02148

【あて先】 特許庁長官 殿

【国際特許分類】 H03D 7/12

【発明の名称】 ミキサ

【請求項の数】 6

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 鈴木 武男

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 巽 修

【特許出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代表者】 片岡 政隆

【手数料の表示】

【予納台帳番号】 037132

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ミキサ

【特許請求の範囲】

【請求項 1】 エミッタ同士が互いに接続されて平衡型発振回路を構成する第一及び第二のトランジスタと、エミッタが前記第一のトランジスタのエミッタに接続された第三のトランジスタと、エミッタが前記第二のトランジスタのエミッタに接続された第四のトランジスタとを備え、前記第三のトランジスタのベースと前記第四のトランジスタのベースとの間に第一の信号を平衡入力すると共に前記第三のトランジスタと前記第四のトランジスタによって発振信号と前記第一の信号とを混合し、前記第三のトランジスタと前記第四のトランジスタから第二の信号を平衡出力したことを特徴とするミキサ。

【請求項 2】 発振周波数を決める第一の並列共振回路と、前記第二の信号に共振する第二の並列共振回路とを設け、前記第一の並列共振回路を前記第一及び第二のトランジスタのそれぞれのコレクタとベースとの間に接続し、前記第二の並列共振回路を前記第三のトランジスタのコレクタと前記第四のトランジスタのコレクタとの間に接続したことを特徴とする請求項 1 に記載のミキサ。

【請求項 3】 前記第一の並列共振回路は第一の容量素子と、互いに直列接続された状態で前記第一の容量素子に並列に接続された第一及び第二のインダクタンス素子とからなり、前記第一の容量素子と前記第一のインダクタンス素子との接続点を前記第一のトランジスタのコレクタに接続すると共に、前記第一の容量素子と前記第二のインダクタンス素子との接続点を前記第二のトランジスタのコレクタに接続し、前記第二の並列共振回路は第二の容量素子と、互いに直列接続された状態で前記第二の容量素子に並列に接続された第三及び第四のインダクタンス素子とからなり、前記第二の容量素子と前記第三のインダクタンス素子との接続点を前記第三のトランジスタのコレクタに接続すると共に、前記第二の容量素子と前記第四のインダクタンス素子との接続点を前記第四のトランジスタのコレクタに接続し、前記第一のインダクタンス素子と第二のインダクタンス素子との接続点および前記第三のインダクタンス素子と前記第四のインダクタンス素子との接続点に電源電圧を印加したことを特徴とする請求項 2 に記載のミキサ。

【請求項 4】 発振周波数の近傍と前記第二の信号の周波数の近傍とにそれぞれ並列共振周波数を有する複合共振回路を設け、前記第一のトランジスタのコレクタと前記第三のトランジスタのコレクタとを互いに接続すると共に、前記第二のトランジスタのコレクタと前記第四のトランジスタのコレクタとを互いに接続し、前記複合共振回路を前記第一及び第三のトランジスタのコレクタと前記第二のトランジスタのベースとの間に接続すると共に、前記第二及び第四のトランジスタのコレクタと前記第一のトランジスタのベースとの間に接続したことを特徴とする請求項 1 に記載のミキサ。

【請求項 5】 前記複合共振回路は、第一の容量素子と、第二の容量素子と第一及び第二のインダクタンス素子とからなって前記第二の容量素子が前記第一のインダクタンス素子と前記第二のインダクタンス素子との間に介挿された状態で前記第一の容量素子に並列に接続された直列回路と、互いに直列接続された状態で前記第二の容量素子に並列に接続された第三及び第四のインダクタンス素子とから構成され、前記第一及び第二の容量素子と前記第一及び第二のインダクタンス素子とによって前記発振周波数の近傍に並列共振させ、前記第二の容量素子と前記第三及び第四のインダクタンス素子とによって前記第二の信号の周波数の近傍に並列共振させ、前記第一の容量素子と前記第一のインダクタンス素子との接続点を前記第一及び第三のトランジスタのコレクタに接続すると共に、前記第一の容量素子と前記第二のインダクタンス素子との接続点を前記第二及び第四のトランジスタのコレクタに接続し、前記第三のインダクタンス素子と前記第四のインダクタンス素子との接続点に電源電圧を印加したことを特徴とする請求項 4 に記載のミキサ。

【請求項 6】 前記第二の容量素子の両端から前記第二の信号を出力したことを特徴とする請求項 5 に記載のミキサ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、周波数変換器や変調器等に使用されるミキサに関する。

【 0 0 0 2 】

【従来の技術】

図 3 に示す従来のミキサはギルバードミキサと称され、周波数変換器等に多用されているものである。図 3 において、第一の差動増幅回路 2 1 と第二の差動増幅回路 2 2 とは第三の差動増幅回路 2 3 によって平衡接続される。すなわち、第一の差動増幅回路 2 1 を構成する一対のトランジスタ 2 1 a、2 1 b の各エミッタは互いに接続されると共に、第三の差動増幅回路 2 3 を構成する一方のトランジスタ 2 3 a のコレクタに接続され、第二の差動増幅回路 2 2 を構成する一対のトランジスタ 2 2 a、2 2 b のエミッタは互いに接続されると共に、第三の差動増幅回路 2 3 を構成する他方のトランジスタ 2 3 b のコレクタに接続される。第三の差動増幅回路 2 3 におけるトランジスタ 2 3 a、2 3 b のエミッタは互いに接続されて定電流源等 2 4 に接続される。

【0003】

第一の差動増幅回路 2 1 における一方のトランジスタ 2 1 a のコレクタと第二の差動増幅回路 2 2 における一方のトランジスタ 2 2 a のコレクタとは平衡出力端の一方 2 8 が接続されると共に、共通の負荷抵抗 2 6 を介して電源電圧 B が印加供給される。また、第一の差動増幅回路 2 1 における他方のトランジスタ 2 1 b のコレクタと第二の差動増幅回路 2 2 における他方のトランジスタ 2 2 b のコレクタとは平衡出力端の他方 2 8 が接続されると共に、共通の負荷抵抗 2 9 を介して電源電圧 B が供給される。

【0004】

また、第一の差動増幅回路 2 1 における一方のトランジスタ 2 1 a のベースと第二の差動増幅回路 2 2 における他方のトランジスタ 2 2 b のベースとが互いに接続されると共に、第二の平衡入力端の一方 3 0 に接続される。第一の差動増幅回路 2 1 における他方のトランジスタ 2 1 b のベースと第二の差動増幅回路 2 2 における一方のトランジスタ 2 2 a のベースとが互いに接続されると共に、第二の平衡入力端の他方 3 1 に接続される。

さらに、第三の差動増幅回路 2 3 の各トランジスタ 2 3 a、2 3 b のベースがそれぞれ第一の平衡入力端 3 2、3 3 に接続される。

【0005】

以上の構成において、第一の平衡入力端 3 2、3 3 間には第一の信号、例えば高周波信号が平衡入力される。また、第二の平衡入力端 3 0、3 1 間には第二の信号、例えば局部発振信号が平衡入力される。その結果、平衡出力端 2 5、2 8 間には周波数変換された中間周波信号が平衡出力される。平衡出力端 2 5、2 6 間には同調回路（図示せず）が接続される。

【 0 0 0 6 】

第一の信号である局部発振信号は例えば図 4 に示すような平衡型発振回路から供給される。この回路は一对の発振トランジスタ 4 1、4 2 がそれぞれのコレクタとベースとの間に結合された一つの共振回路 4 3 を共用し、各コレクタ間に局部発振信号を平衡出力する。

【 0 0 0 7 】

【発明が解決しようとする課題】

上記の従来のミキサにおいては、第一及び第二の差動増幅回路 2 1、2 2 と第三の差動増幅回路 2 3 に対して電源電圧が直列に給電されることから、それぞれの差動増幅回路に印加される電圧が電源電圧のおよそ 1 / 2 に低下する。よって、電圧減少による性能の劣化が問題となる。

【 0 0 0 8 】

また、ミキサは集積回路（I C）で構成されるケースがほとんどであり、しかも最近の集積回路は低電圧化が図られているの性能に及ぼす影響が大きくなっている。

【 0 0 0 9 】

さらに、従来のミキサを使用するには、発振回路や共振回路等の周囲の回路を付加しなければならず、全体の構成が複雑になる。

【 0 0 1 0 】

本発明は、低い電源電圧でも十分に性能が確保でき、しかも周囲の回路を含めた全体の構成が簡単になるミキサを実現することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

上記課題を解決するため、本発明は、エミッタ同士が互いに接続されて平衡型

発振回路を構成する第一及び第二のトランジスタと、エミッタが前記第一のトランジスタのエミッタに接続された第三のトランジスタと、エミッタが前記第二のトランジスタのエミッタに接続された第四のトランジスタとを備え、前記第三のトランジスタのベースと前記第四のトランジスタのベースとの間に第一の信号を平衡入力すると共に前記第三のトランジスタと前記第四のトランジスタによって発振信号と前記第一の信号とを混合し、前記第三のトランジスタと前記第四のトランジスタから第二の信号を平衡出力した。

【 0 0 1 2 】

また、発振周波数を決める第一の並列共振回路と、前記第二の信号に共振する第二の並列共振回路とを設け、前記第一の並列共振回路を前記第一及び第二のトランジスタのそれぞれのコレクタとベースとの間に接続し、前記第二の並列共振回路を前記第三のトランジスタのコレクタと前記第四のトランジスタのコレクタとの間に接続した。

【 0 0 1 3 】

また、前記第一の並列共振回路は第一の容量素子と、互いに直列接続された状態で前記第一の容量素子に並列に接続された第一及び第二のインダクタンス素子とからなり、前記第一の容量素子と前記第一のインダクタンス素子との接続点を前記第一のトランジスタのコレクタに接続すると共に、前記第一の容量素子と前記第二のインダクタンス素子との接続点を前記第二のトランジスタのコレクタに接続し、前記第二の並列共振回路は第二の容量素子と、互いに直列接続された状態で前記第二の容量素子に並列に接続された第三及び第四のインダクタンス素子とからなり、前記第二の容量素子と前記第三のインダクタンス素子との接続点を前記第三のトランジスタのコレクタに接続すると共に、前記第二の容量素子と前記第四のインダクタンス素子との接続点を前記第四のトランジスタのコレクタに接続し、前記第一のインダクタンス素子と第二のインダクタンス素子との接続点および前記第三のインダクタンス素子と前記第四のインダクタンス素子との接続点に電源電圧を印加した。

【 0 0 1 4 】

また、発振周波数の近傍と前記第二の信号の周波数の近傍とにそれぞれ並列共

振周波数を有する複合共振回路を設け、前記第一のトランジスタのコレクタと前記第三のトランジスタのコレクタとを互いに接続すると共に、前記第二のトランジスタのコレクタと前記第四のトランジスタのコレクタとを互いに接続し、前記複合共振回路を前記第一及び第三のトランジスタのコレクタと前記第二のトランジスタのベースとの間に接続すると共に、前記第二及び第四のトランジスタのコレクタと前記第一のトランジスタのベースとの間に接続した。

【 0 0 1 5 】

また、前記複合共振回路は、第一の容量素子と、第二の容量素子と第一及び第二のインダクタンス素子とからなっており、前記第二の容量素子が前記第一のインダクタンス素子と前記第二のインダクタンス素子との間に介挿された状態で前記第一の容量素子に並列に接続された直列回路と、互いに直列接続された状態で前記第二の容量素子に並列に接続された第三及び第四のインダクタンス素子とから構成され、前記第一及び第二の容量素子と前記第一及び第二のインダクタンス素子とによって前記発振周波数の近傍に並列共振させ、前記第二の容量素子と前記第三及び第四のインダクタンス素子とによって前記第二の信号の周波数の近傍に並列共振させ、前記第一の容量素子と前記第一のインダクタンス素子との接続点を前記第一及び第三のトランジスタのコレクタに接続すると共に、前記第一の容量素子と前記第二のインダクタンス素子との接続点を前記第二及び第四のトランジスタのコレクタに接続し、前記第三のインダクタンス素子と前記第四のインダクタンス素子との接続点に電源電圧を印加した。

【 0 0 1 6 】

また、前記第二の容量素子の両端から前記第二の信号を出力した。

【 0 0 1 7 】

【発明の実施の形態】

以下に本発明のミキサを説明する。図 1 は第一の実施の形態を示す回路図であり、第一のトランジスタ 1 のエミッタと第二のトランジスタ 2 のエミッタとは互いに接続されると共に定電流源 3 等に接続される。各トランジスタ 1、2 のそれぞれのコレクタとベースとの間には第一の並列共振回路 4 が接続される。よって、二つのトランジスタ 1、2 と第一の並列共振回路 3 とによって平衡型発振回路

が構成される。第一の並列共振回路 4 は第一の容量素子 4 a と、互いに直列接続された状態で第一の容量素子 4 a に並列接続された第一及び第二のインダクタンス素子 4 b、4 c とからなり、この共振周波数によって発振周波数が決められる。

【 0 0 1 8 】

第一のインダクタンス素子 4 b と第二のインダクタンス素子 4 c との各インダクタンス値は互いにほぼ等しい。そして、第一の容量素子 4 a と第一のインダクタンス素子 4 b との接続点が第一のトランジスタ 1 のコレクタに接続され、第一の容量素子 4 a と第二のインダクタンス素子 4 c との接続点が第二のトランジスタ 2 のコレクタに接続される。よって、二つのインダクタンス素子 4 b、4 c の接続点に印加された電源電圧 B が各トランジスタ 1、2 のコレクタに給電される。各トランジスタ 1、2 のベースは結合用の容量素子 5、6 によって第一の並列共振回路 4 に接続される。

【 0 0 1 9 】

第一のトランジスタ 1 のエミッタには第三のトランジスタ 7 のエミッタが接続され、第二のトランジスタ 2 のエミッタには第四のトランジスタ 8 のエミッタが接続される。第三のトランジスタ 7 のベースは一方の平衡入力端 9 に接続され、第四のトランジスタ 8 のベースは他方の平衡入力端 1 0 に接続される。第三のトランジスタ 7 のコレクタと第四のトランジスタ 8 のコレクタとの間には第二の並列共振回路 1 1 が接続される。また、第三のトランジスタ 7 のコレクタは一方の平衡出力端 1 2 に接続され、第四のトランジスタ 8 のコレクタは他方の平衡出力端 1 3 に接続される。

【 0 0 2 0 】

第二の並列共振回路 1 1 は第二の容量素子 1 1 a と、互いに直列接続された状態で第二の容量素子 1 1 a に並列に接続された第三及び第四のインダクタンス素子 1 1 b、1 1 c とからなる。第三のインダクタンス素子 1 1 b のインダクタンス値と第四のインダクタンス値とは互いに等しい。そして、第二の容量素子 1 1 a と第三のインダクタンス素子 1 1 b との接続点が第三のトランジスタ 7 のコレクタに接続され、第二の容量素子 1 1 a と第四のインダクタンス素子 1 1 c との

接続点が第四のトランジスタ 8 のコレクタに接続される。よって、二つのインダクタンス素子 1 1 b、1 1 c の接続点に印加された電源電圧 B が各トランジスタ 7、8 のコレクタに給電される。

【 0 0 2 1 】

以上の構成において、平衡入力端 9、1 0 間には第一の信号、例えば周波数変換すべき高周波信号が入力される。この結果、第三のトランジスタ 7 と第四のトランジスタ 8 とは互いに差動的に動作する。一方、平衡型発振回路を構成する第一のトランジスタ 1 と第二のトランジスタ 2 も差動的に動作する。そして、第三のトランジスタ 7 のエミッタと第四のトランジスタ 8 のエミッタは発振信号によって逆位相で励振される。よって、第三のトランジスタ 7 と第二のトランジスタ 8 とにおいては発振信号と第一の信号とが混合され、例えばそれらの差の周波数となる第二の信号、すなわち中間周波信号を生成する。第二の並列共振回路 1 1 の共振周波数を差の周波数に設定しておけば平衡出力端 1 2、1 3 から第二の信号である中間周波信号を効率的に平衡出力できる。

【 0 0 2 2 】

上記構成においては平衡型発振回路を構成する二つのトランジスタ 1、2 と混合動作をする二つのトランジスタ 7、8 に電源電圧 B が並列に給電されるので、低い電圧であっても十分に動作が可能である。

【 0 0 2 3 】

図 2 は本発明の第二の実施の形態を示す回路図である。図 2 において、第一のトランジスタ 1 のエミッタと第二のトランジスタ 2 のエミッタとは互いに接続されると共に定電流源 3 等に接続される。各トランジスタ 1、2 のそれぞれのコレクタとベースとの間には二つの並列共振周波数を有する複合共振回路 1 4 が接続される。

また、第一のトランジスタ 1 のエミッタ、コレクタには第三のトランジスタ 7 のエミッタ、コレクタがそれぞれ接続され、第二のトランジスタ 2 のエミッタ、コレクタには第四のトランジスタ 8 のエミッタ、コレクタがそれぞれ接続される。そして、第三のトランジスタ 7 のベースは一方の平衡入力端 9 に接続され、第四のトランジスタ 8 のベースは他方の平衡入力端 1 0 に接続される。

【 0 0 2 4 】

複合共振回路 1 4 は図 2 に示すように、第一の容量素子 1 4 a と、第二の容量素子 1 4 b と第一及び第二のインダクタンス素子 1 4 c、1 4 d とからなって第二の容量素子 1 4 b が第一のインダクタンス素子 1 4 c と第二のインダクタンス素子 1 4 d との間に介挿された状態で第一の容量素子 1 4 a に並列に接続された直列回路と、互いに直列接続された状態で第二の容量素子 1 4 b に並列に接続された第三及び第四のインダクタンス素子 1 4 e、1 4 f とから構成される。

【 0 0 2 5 】

そして、第一の容量素子 1 4 a と第一のインダクタンス素子 1 4 c との接続点が第一のトランジスタ 1 のコレクタに接続されると共に結合用の容量素子 6 によって第二のトランジスタ 2 のベースに接続される。また、第一の容量素子 1 4 a と第二のインダクタンス素子 1 4 d との接続点が第二のトランジスタ 2 のコレクタに接続されると共に結合用の容量素子 5 によって第一のトランジスタ 1 のベースに接続される。そして、第三のインダクタンス素子 1 4 e と第四のインダクタンス素子 1 4 f との接続点に印加された電源電圧 B が第一乃至第四のトランジスタ 1、2、7、8 のコレクタに給電される。第二の容量素子 1 4 b の一端は一方の平衡出力端 1 2 に接続され、他端は他方の平衡出力端 1 3 に接続される。

【 0 0 2 6 】

上記の複合共振回路 1 4 においては、第一のインダクタンス素子 1 4 c と第二のインダクタンス素子 1 4 d とは互いにほぼ等しいインダクタンス値を有し、第三のインダクタンス素子 1 4 e と第四のインダクタンス素子 1 4 f とは互いにほぼ等しいインダクタンス値を有する。また、第一及び第二のインダクタンス素子 1 4 c、1 4 d のインダクタンス値よりも第三及び第四のインダクタンス素子 1 4 e、1 4 f のインダクタンス値が大きい。さらに、第一の容量素子 1 4 a の容量値よりも第二の容量素子 1 4 b の容量値が大きい。よって、複合共振回路 1 1 は、第一及び第二の容量素子 1 4 a、1 4 b と第一及び第二のインダクタンス素子 1 4 c、1 4 d とによってほぼ並列共振周波数が決まる一つの並列共振回路（第三の並列共振回路）と、第二の容量素子 1 4 b と第三及び第四のインダクタンス素子 1 4 e、1 4 f とによってほぼ並列共振周波数が決まるもう一つの並列共

振周波数（第四の並列共振回路）を持つ。

【 0 0 2 7 】

以上のことから、第三の並列共振回路と第一及び第二のトランジスタ 1、2 によって平衡型発振回路が構成され、その並列共振周波数の近傍で発振する。すると、第三のトランジスタ 7 はエミッタ同士で接続された第一のトランジスタ 1 を介して発振信号によって励振され、第四のトランジスタ 8 もエミッタ同士で接続された第二のトランジスタ 2 を介して発振信号によって励振される。

【 0 0 2 8 】

平衡入力端 9、10 には第一の信号、例えば周波数変換すべき高周波信号が入力される。この結果、第三のトランジスタ 7 と第四のトランジスタ 8 とは互いに差動的に動作する。一方、平衡型発振回路を構成する第一のトランジスタ 1 と第二のトランジスタ 2 も差動的に動作する。そして、第三のトランジスタ 7 のエミッタと第四のトランジスタ 8 のエミッタは発振信号によって逆位相で励振される。よって、第三のトランジスタ 7 と第二のトランジスタ 8 とにおいては発振信号と第一の信号とが混合され、例えばそれらの差の周波数となる第二の信号、すなわち中間周波信号を生成する。よって、第一のトランジスタ 1 及び第三のトランジスタ 7 のコレクタと第二のトランジスタ 2 及び第四のトランジスタ 8 のコレクタには発振信号と第二の信号とが現れる。ここで、第四の並列共振回路を上記の差の周波数に共振させておけば平衡出力端 12、13 から第二の信号である中間周波信号を効率的にしかも発振信号を抑圧した状態で平衡出力できる。

【 0 0 2 9 】

上記構成においても平衡型発振回路を構成する二つのトランジスタ 1、2 と、混合動作をする二つのトランジスタ 7、8 とに電源電圧が並列に給電されるので、低い電圧であっても十分に動作が可能である。

【 0 0 3 0 】

【発明の効果】

本発明は以上説明したように、エミッタ同士が互いに接続されて平衡型発振回路を構成する第一及び第二のトランジスタと、エミッタが第一のトランジスタのエミッタに接続された第三のトランジスタと、エミッタが第二のトランジスタの

エミッタに接続された第四のトランジスタとを備え、第三のトランジスタのベースと第四のトランジスタのベースとの間に第一の信号を平衡入力すると共に第三のトランジスタと第四のトランジスタによって発振信号と第一の信号とを混合し、第三のトランジスタと第四のトランジスタから第二の信号を平衡出力したので、発振用の第一及び第二のトランジスタと混合用の第三及び第四のトランジスタには電源電圧を並列に給電することができ、低電圧でも各トランジスタの性能を低下することなく駆動できる。また、少ない数のトランジスタを使用して全体の構成が簡単なミキサが実現できる。

【 0 0 3 1 】

また、発振周波数を決める第一の並列共振回路と、第二の信号に共振する第二の並列共振回路とを設け、第一の並列共振回路を第一及び第二のトランジスタのそれぞれのコレクタとベースとの間に接続し、第二の並列共振回路を第三のトランジスタのコレクタと第四のトランジスタのコレクタとの間に接続したので、発振用の並列共振回路と第二の信号用の並列共振回路とが分離でき、それぞれの共振回路の構成が簡単になる。また、第三及び第四のトランジスタからは第二の信号のみを出力できる。

【 0 0 3 2 】

また、第一の並列共振回路における第一の容量素子と第一のインダクタンス素子との接続点を第一のトランジスタのコレクタに接続すると共に、第一の容量素子と第二のインダクタンス素子との接続点を第二のトランジスタのコレクタに接続し、第二の並列共振回路における第二の容量素子と第三のインダクタンス素子との接続点を第三のトランジスタのコレクタに接続すると共に、第二の容量素子と第四のインダクタンス素子との接続点を第四のトランジスタのコレクタに接続し、第一のインダクタンス素子と第二のインダクタンス素子との接続点および第三のインダクタンス素子と第四のインダクタンス素子との接続点に電源電圧を印加したので、第一乃至第四のトランジスタのコレクタに並列に給電できる。

【 0 0 3 3 】

また、第一のトランジスタのコレクタと第三のトランジスタのコレクタとを互いに接続すると共に、第二のトランジスタのコレクタと第四のトランジスタのコ

レクタとを互いに接続し、複合共振回路を第一及び第三のトランジスタのコレクタと第二のトランジスタのベースとの間に接続すると共に、第二及び第四のトランジスタのコレクタと第一のトランジスタのベースとの間に接続したので、複合共振回路によって発振周波数を決めると共に第二の信号に同調させることができる。

【 0 0 3 4 】

また、複合共振回路における第一及び第二の容量素子と第一及び第二のインダクタンス素子とによって発振周波数の近傍に並列共振させ、第二の容量素子と第三及び第四のインダクタンス素子とによって第二の信号の周波数の近傍に並列共振させ、第一の容量素子と第一のインダクタンス素子との接続点を第一及び第三のトランジスタのコレクタに接続すると共に、第一の容量素子と第二のインダクタンス素子との接続点を第二及び第四のトランジスタのコレクタに接続し、第三のインダクタンス素子と第四のインダクタンス素子との接続点に電源電圧を印加したので、第一乃至第四のトランジスタに電源電圧を並列に給電できる。

【 0 0 3 5 】

また、第二の容量素子の両端から第二の信号を出力したので、第二の信号に含まれる発振信号を抑圧できる。

【図面の簡単な説明】

【図 1】

本発明のミキサにおける第一の実施の形態を示す回路図である。

【図 2】

本発明のミキサにおける第二の実施の形態を示す回路図である。

【図 3】

従来のミキサの構成を示す回路図である

【図 4】

従来のミキサに使用される発振回路の構成を示す回路図である。

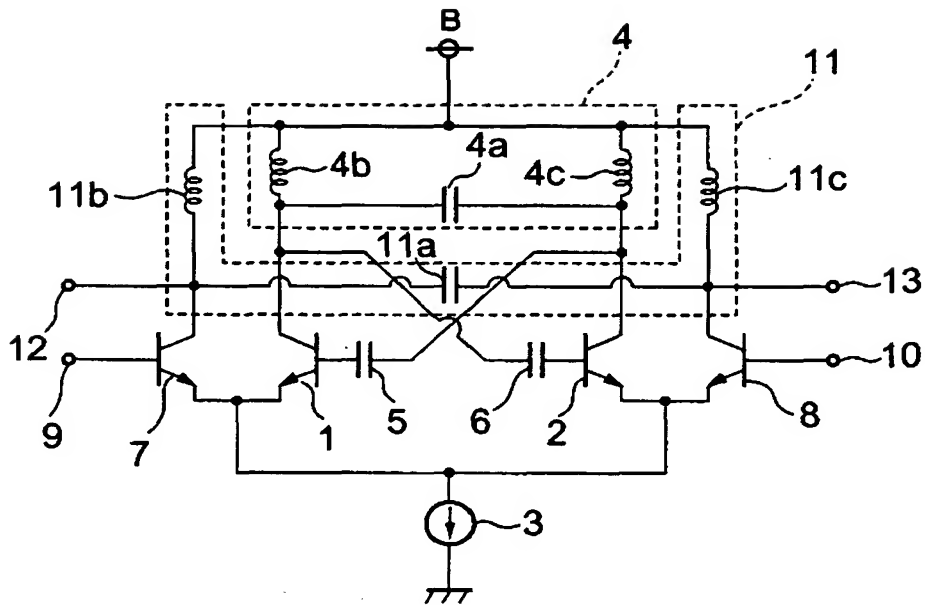
【符号の説明】

- 1 第一のトランジスタ
- 2 第二のトランジスタ

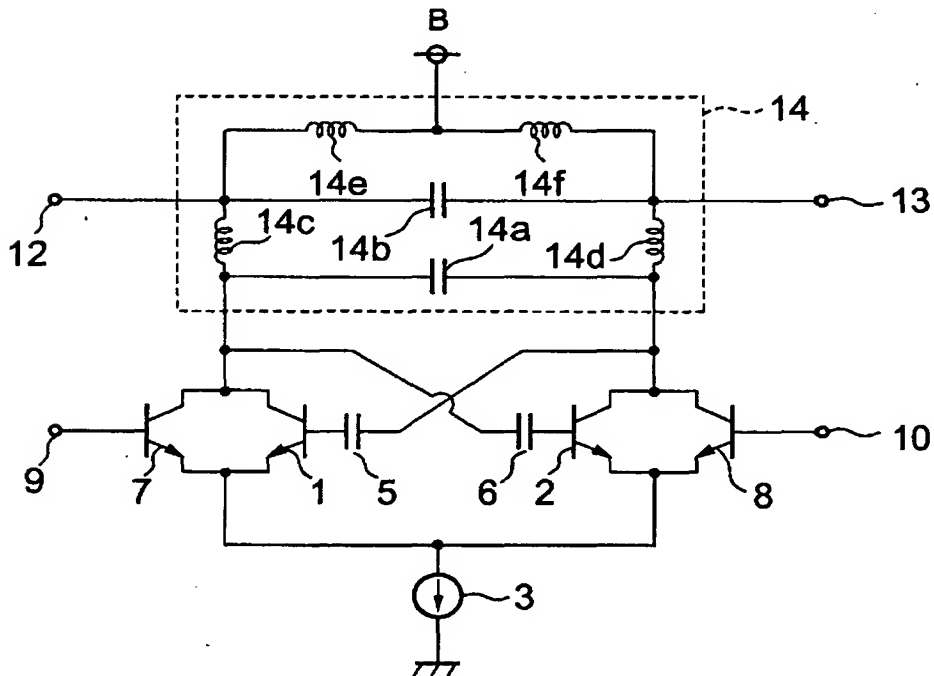
- 3 定電流源
- 4 第一の並列共振回路
 - 4 a 第一の容量素子
 - 4 b 第一のインダクタンス素子
 - 4 c 第二のインダクタンス素子
- 5、6 結合用容量素子
- 7 第三のトランジスタ
- 8 第四のトランジスタ
- 9、10 平衡入力端
 - 11 第二の並列共振回路
 - 11 a 第二の容量素子
 - 11 b 第三のインダクタンス素子
 - 12、13 平衡出力端
 - 14 複合共振回路
 - 14 a 第一の容量素子
 - 14 b 第二の容量素子
 - 14 c 第一のインダクタンス素子
 - 14 d 第二のインダクタンス素子
 - 14 e 第三のインダクタンス素子
 - 14 f 第四のインダクタンス素子

【書類名】 図面

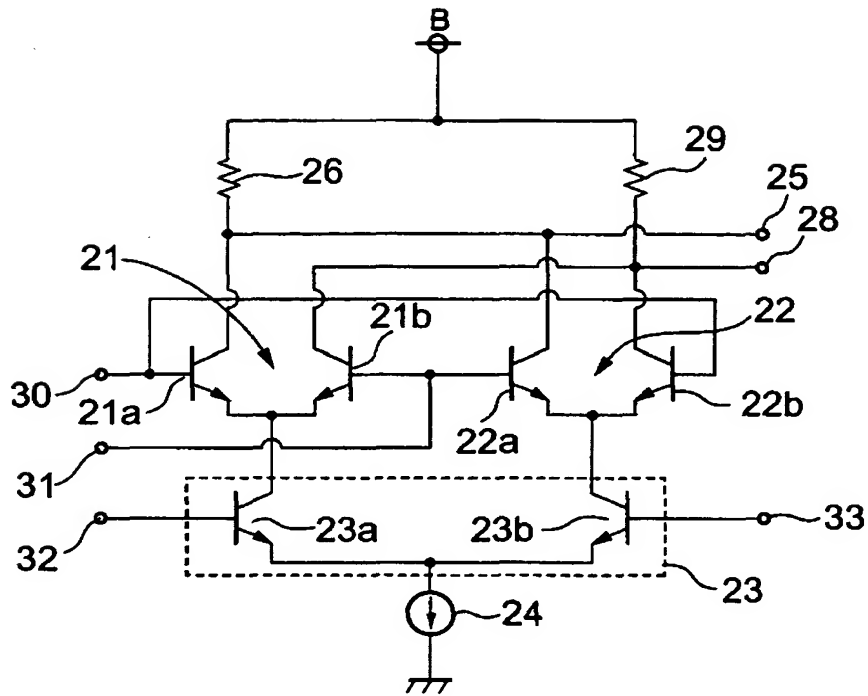
【図 1】



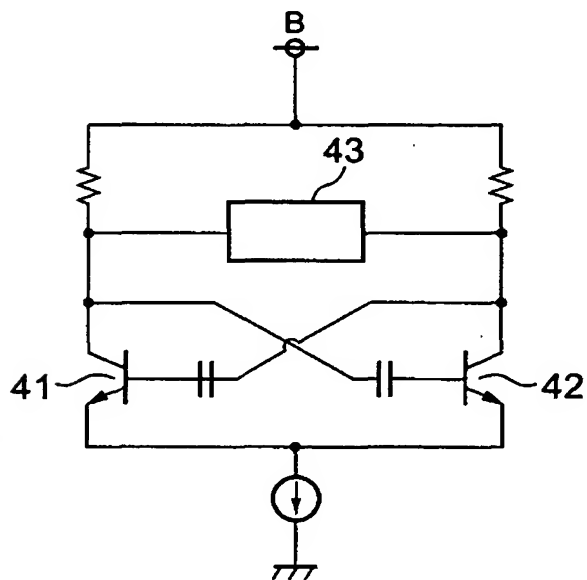
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 低い電源電圧でも十分に性能が確保でき、しかも周囲の回路を含めた全体の構成が簡単になるミキサを実現する。

【解決手段】 エミッタ同士が互いに接続されて平衡型発振回路を構成する第一及び第二のトランジスタ 1、2 と、エミッタが第一のトランジスタ 1 のエミッタに接続された第三のトランジスタ 7 と、エミッタが第二のトランジスタ 2 のエミッタに接続された第四のトランジスタ 8 とを備え、第三のトランジスタ 7 のベースと第四のトランジスタ 8 のベースとの間に第一の信号を平衡入力すると共に第三のトランジスタ 7 と第四のトランジスタ 8 とによって発振信号と第一の信号とを混合し、第三のトランジスタ 7 と第四のトランジスタ 8 とから第二の信号を平衡出力した。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 3 0 4 4 4
受付番号	5 0 2 0 1 1 7 5 4 0 8
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 8 月 8 日

<認定情報・付加情報>

【提出日】	平成14年 8月 7日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 1 0 0 9 8]

1. 変更年月日	1 9 9 0 年 8 月 2 7 日
[変更理由]	新規登録
住 所	東京都大田区雪谷大塚町 1 番 7 号
氏 名	アルプス電気株式会社